

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001198897 A**

(43) Date of publication of application: **24.07.01**

(51) Int. Cl.

B81B 3/00
H01H 59/00

(21) Application number: **2000314632**

(22) Date of filing: **16.10.00**

(30) Priority: **15.10.99 US 1999 418857**

(71) Applicant: **LUCENT TECHNOL INC**

(72) Inventor:
BISHOP DAVID JOHN
BOLLE CHRISTAIN A
KIM JUNG SANG
PARDO FLAVIO

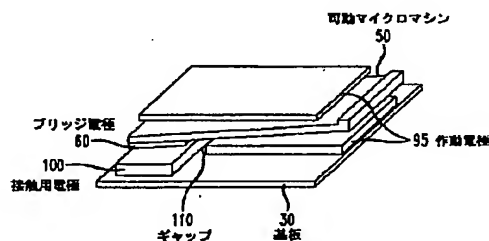
(54) **HYBRID INTEGRATED CIRCUIT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a hybrid integrated circuit having a MEMS relay flip-chip bonded to a CMOS chip.

SOLUTION: The CMOS chip is bonded to a MEMS microrelay to form a rigid electric connection between the chips, whereby highly integral electric transmission through the hybrid integrated circuit can be formed. If a delay of signal propagation between the CMOS chip and the MEMS chip is greatly reduced, the hybrid integrated circuit can be used in high band width applications.

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-198897
(P2001-198897A)

(43) 公開日 平成13年7月24日 (2001.7.24)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

B 8 1 B 3/00

B 8 1 B 3/00

H 0 1 H 59/00

H 0 1 H 59/00

審査請求 未請求 請求項の数10 O L 外国語出願 (全 23 頁)

(21) 出願番号 特願2000-314632(P2000-314632)

(22) 出願日 平成12年10月16日 (2000. 10. 16)

(31) 優先権主張番号 09/418857

(32) 優先日 平成11年10月15日 (1999. 10. 15)

(33) 優先権主張国 米国 (U S)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ
レイテッド

Lucent Technologies
Inc.

アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700

(74) 代理人 100081053

弁理士 三俣 弘文

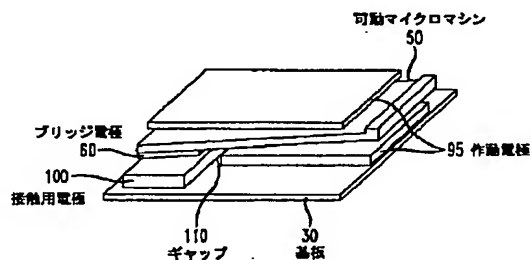
最終頁に続く

(54) 【発明の名称】 混成集積回路

(57) 【要約】

【課題】 CMOSチップにフリップチップ結合された
MEMSリレーを有する混成集積回路を提供すること。

【解決手段】 CMOSチップをMEMSマイクロリ
レーに結合することにより、頑強な電氣的接続がチップ間
に形成され、これにより混成集積回路を通過する高い一
体性のある電氣的伝送が形成できる。さらにまた、CM
OSチップとMEMSチップ間の信号伝搬遅延を大幅に
減少することにより、高い帯域のアプリケーションでも
本発明の混成集積回路を用いることができる。



1

【特許請求の範囲】

【請求項1】 MEMSリレーを有するMEMSチップと、

前記MEMSチップに接合され一体構造を形成する集積回路チップと、

を有し、

前記MEMSリレーは、その第1位置と第2位置の一方で、前記MEMSリレーへの電氣的接続を行うため、第1位置と第2位置をの間で移動可能な部分を有し、

前記集積回路チップは、前記第1位置と第2位置の一方の位置で、前記MEMSリレーとの電氣的接触を行い、他方の位置で前記MEMSリレーとの電氣的接触を行わないよう、前記集積回路チップ上に形成された素子を有し、

これにより、前記MEMSチップと前記集積回路チップとの間で、前記集積回路チップが、前記MEMSチップに結合された際に、電氣的接続を完了することを特徴とする混成集積回路。

【請求項2】 前記MEMSチップは基板を有し、前記MEMSリレーは、基板上に形成され静電氣力により駆動されるマイクロマシン片持ち梁アームを有し、前記静電氣力により、前記アームが集積回路チップの前記素子との間の接触を行うよう、前記第1位置と第2位置の間で移動させ、

前記アームと前記素子との間の電氣的接続を確立し、これにより前記第1位置と第2位置の一方の位置で集積回路チップとMEMSチップとの間の電氣的接続を完成させることを特徴とする請求項1記載の混成集積回路。

【請求項3】 前記片持ち梁アームは、前記集積回路チップ上の素子との電氣的接触を行うように、前記片持ち梁アームの一端上に具備される、ブリッジ電極を有することを特徴とする請求項2記載の混成集積回路。

【請求項4】 前記集積回路チップ上の素子は、接点用電極を含むことを特徴とする請求項3記載の混成集積回路。

【請求項5】 前記片持ち梁アームを、前記第1位置と第2位置との間で移動させるために、前記片持ち梁アーム上に静電氣力を生成するために、前記MEMSデバイスの基板上に作動電極をさらに有することを特徴とする請求項4記載の混成集積回路。

【請求項6】 前記集積回路チップと、前記MEMSチップとの結合は、フリップチップ結合を含むことを特徴とする請求項5記載の混成集積回路。

【請求項7】 前記集積回路チップは、CMOSチップを含むことを特徴とする請求項6記載の混成集積回路。

【請求項8】 前記フリップチップ結合により結合された、CMOS集積回路チップとMEMSチップとの間のギャップの幅を制御するために、前記MEMSチップの基板上に形成された複数のスペーサをさらに有することを特徴とする請求項7記載の混成集積回路。

2

【請求項9】 前記集積回路チップとMEMSチップとの間に、永久電氣接続を与えるために、前記集積回路チップをMEMSチップに個別に結合する相互接続パッドをさらに有することを特徴とする請求項1記載の混成集積回路。

【請求項10】 前記MEMSチップは、前記集積回路チップの層の上に形成されることを特徴とする請求項1記載の混成集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CMOSチップに結合されたマイクロ電子機械システム(micro-electromechanical systems: MEMS)チップを有する、混成集積回路に関し、特に、CMOS回路に集積されたMEMSリレーに関する。

【0002】

【従来の技術】機械的リレーは様々な電子システムで重要な役目を担っている。このようなシステムの例は、電話接続用の交換機および電子テスト用の装置を含み、このようなシステムは機械的リレーを用いて範囲選択(range selection)と同様な機能が実現される。機械的リレーに置き換えて半導体材料を用いて電氣的接続および切断を与えるような固体スイッチは、多くのアプリケーションで幅広く用いられている。しかしこのような固体スイッチは、オフ状態の抵抗が低く、限られたバンド幅しか有さない。このような特性が必要なアプリケーションでは、機械的なリレーがそのため依然として幅広く用いられている。

【0003】集積回路の電子的機能部品の大部分は、シリコン製のCMOSチップ上に通常配置されるが、機械的なリレー機能は、チップ外の別々にパッケージされたリレーを用いて実行される。このような装置ではいくつかの問題点がある。第1の問題点としては、機械的リレーはシステムの主要なハードウェア全体のうち、多くのスペースを占有するような単一の部品である点である。第2に、CMOS回路の集積度が増すにつれて、このようなCMOSチップに接続される機械的リレーの数が増加する点である。CMOSチップ周辺の物理的スペースは限られているために、物理的構成要素を大規模に集積することはより困難となり、機械的リレーのような部品を回路に取り付けることは不可能となるような集積低減ポイントに最終的には到達する。

【0004】第3の点としては、CMOSチップと機械的リレーとの間の接続は、必要な帯域幅を得られるように設計しなければならない点である。大きな帯域のアプリケーションにおいては、接続を注意深く設計した場合でも、リレーとチップとの間の距離が通信の時間遅延を引き起こすことになる。さらにまた、現在広く用いられている従来の機械的リレーは、かさが大きく高価であり、その結果高密度にパッケージした集積回路設計でそれら

10

20

30

40

50

を用いることは困難となっている。

【0005】

【発明が解決しようとする課題】本発明の目的は、集積回路と共に使用され、安価でかつ容易に集積できるようなリレーを提供することである。本発明の課題となるリレーは、チップの回路構成と一体化が可能であり、さらに広い帯域のアプリケーションに適用可能なモノである。

【0006】

【課題を解決するための手段】本発明の物品は、MEMS製造プロセス時に製造されたマイクロマシン機械リレーを含むMEMSチップを含む。このMEMSデバイスは、リレー動作が必要とされる集積回路に結合される。すなわち、ICチップ上で接続が行われる。MEMSチップ上のMEMSリレーの作動により、集積回路チップ内での機械的動作により接続が行われる。本発明の一実施例においてはMEMSチップは、集積回路チップにフリップチップ結合される。ただし他の接合技術も用いることができる。

【0007】本発明の混成回路は、集積回路上に一体に形成されるリレー機能を提供する。集積回路チップはCMOS集積回路チップが好ましいが、本発明によるマイクロマシンリレーを有するMEMSチップに結合することのできる、いかなる種類の集積回路チップも用いることができる。集積回路の集積度が上がるにつれて、集積されるべきリレーの数も増加する。個々の機械的リレーが個別に集積回路に結合される従来の方法は、この点で制約を受けるが、その理由はリレーが結合されるエッジが制限されるからである。従来技術によりリレーの数をさらに増加させることは、電気的接続のファンアウト構造を必要とし、かくして集積回路とリレーとの間の時間遅延が発生する。

【0008】このような集積化に伴うボトルネックは本発明の混成チップには存在しない。本発明のMEMSリレーの実施例を用いることにより、貴重な集積回路の表面積を利用可能維持でき、混成集積回路を形成する効率を増すことができる。さらにまた、集積回路をMEMSチップに結合することにより、MEMSチップ上のリレーと集積回路チップ上の回路との間の電気通信遅延が大幅に減少し、これにより本発明の混成回路を高い帯域のアプリケーションで用いることができる。

【0009】

【発明の実施の形態】本発明の混成リレー回路10を図1、2、3に示す。この混成リレー回路10は、混成リレー回路10が企図した特定の機能を実行する回路素子を含む従来の集積回路チップ20を含む。本発明の一実施例においては、集積回路チップ20はCMOS回路であるが、いかなる種類の集積回路も混成リレー回路10で使用することができる。CMOS回路である集積回路チップ20はさらに基板30を有し、この基板30はシリ

コン製であるが、GaAs、InP等の他の半導体材料製である。

【0010】図1、2、3の実施例においては、MEMSチップ40は、電気的に駆動されるスイッチと適合可能なマイクロリレーを有する。このマイクロリレーは可動マイクロマシン50を有し、この可動マイクロマシン50は、可動マイクロマシン50と共に移動可能で、集積回路チップ20上の素子と電気的に接触する、電気的接点パッド、すなわちブリッジ電極60を有する。さらにまた可動マイクロマシン50は、MEMSチップ40の基板90に契合される一端80を有する片持ち梁アーム70を有する。基板90はシリコン製であるが、他の半導体材料も使用することができる。本発明の一実施例においては、ブリッジ電極60は、そのトップで0.1 μm ~ 10 μm の範囲の厚さを有する。さらに好ましくは、片持ち梁アーム70は、その両側で1 μm ~ 1000 μm の範囲の幅と、0.01 μm ~ 10 μm の範囲の厚さを有する。理想的なリレー動作においては、MEMSチップ40上のMEMSデバイス用の制御回路および集積回路チップ20上のメイン回路は、電気的に絶縁されており、片持ち梁アーム70は絶縁材料である、二酸化シリコンあるいは窒化シリコンの組成を含む。

【0011】別の構成例として片持ち梁アーム70は、片持ち梁アーム70の上の絶縁層（図示せず）上に堆積された導電帯、あるいはブリッジ電極60を有する。このような実施例においては、絶縁層の厚さは、0.01 μm ~ 100 μm の範囲である。

【0012】集積回路チップ20はさらに接触用電極100を有し、これにより片持ち梁アーム70とブリッジ電極60が回路機能に必要な電気的接続を達成する。MEMSチップ40と基板30の両方は、それぞれの基板90と基板30上に形成された作動電極95を有し、可動マイクロマシンである片持ち梁アーム70とブリッジ電極60を、作動電極95に電圧をかけることにより生成された静電気力でもって接触用電極100の方に引きつける。かくして電気的接触が接触用電極100とブリッジ電極60との間に形成され、接触用電極100の間に確実な電気的接続が行われ、これにより接触用電極100を介して安定した電気信号が流れる。

【0013】集積回路チップ20は従来のCMOS製造技術を用いて形成され、MEMSチップ40はMEMS製造プロセスを用いて形成される。あるいはMEMSマイクロリレーは、Research Triangle Park, North CarolinaにあるCronos Integrated Microsystems, Inc.社から市販されているものを用いることができる。

【0014】2つのチップを結合する必要があるが、MEMS製造プロセスとCMOS製造プロセスは、一般的に両立せず、独立の接合技術を適用してチップ結合を行う。この独立の接合技術により、図2に示すようにMEMSチップ40が集積回路チップ20に結合される混成

接合回路が得られる。

【0015】集積回路チップ20とMEMSチップ40を接合するのに、様々な技術が用いられるが、本発明の一実施例においては、これら2つのチップは、感熱製接着剤を2つの接合すべき部品の間に形成し、この2つの部品に熱と圧力を加えて接着剤を溶かすような、熱活性技術を用いて行われる。冷却後、接着剤で処理された2枚の基板の間の頑強で固いシールが形成される。

【0016】基板30と基板90をフリップチップ結合すると、集積回路チップ20とMEMSチップ40の間にギャップ110が形成される。このギャップ110、および作動電極95と可動マイクロマシン50の可動部分との間のスペースは、可動マイクロマシン50を駆動する適正な動作電圧を決定する。本発明の一実施例においては、ギャップ110の幅は0.1 μ m～100 μ mの間である。ギャップ110は、既知の厚さのスペーサ120(図3に図示せず)を用いて、フリップチップ結合プロセスの間、正確に制御することができる。このようなスペーサ120は、MEMS製造プロセス、あるいはCMOS製造プロセスあるいはその両方を用いて基板30と基板90のいずれかの側に形成することができる。作動電極95と可動マイクロマシン50との間に電圧を加えると、片持ち梁アーム70は、集積回路チップ20の方向に移動する、すなわち吸引される。かくしてブリッジ電極60と可動マイクロマシン50が集積回路チップ20上の接触用電極100への電気的接続を確立する。

【0017】CMOSチップへの電気的接続がフリップチップ接合プロセスにより確立される限り、MEMSリレーを形成するために、図1、2、3に示した片持ち梁アーム70以外の他の種類の作動メカニズムを用いることができる。このような電気的接続は、スペーサ120を用いて他のMEMSリレーデバイスで達成することもできる。

【0018】特定のMEMSリレーがいかに機能するかとは別に、CMOSチップ上にリレー機能を集積することは、本発明の基本的な態様である。図4は、集積化が行われる本発明の混成回路の一実施例を示す。図4の実施例においては、集積回路チップ20とMEMSチップ40との間の電気的接続は、CMOS製造プロセスの間に行われ、別個のCMOS-MEMS相互接続用パッド130が集積回路チップ20からMEMSチップ40に加えられ、それらの間の電気的接続を確立する。可動マイクロマシン50は、フリップチップ結合により、集積回路チップ20の一部の上に集積化される。リレー機能を行うために必要な接触用電極100と可動マイクロマシン50は、MEMSチップがフリップチップ結合される場所の下でCMOSチップ上に形成される。この実施例は、実現が比較的簡単であるが、CMOS-MEMS相互接続用パッド130と接触用電極100と作

動電極95は貴重なCMOSの表面積を占有するという欠点がある。この実施例においては、CMOS処理によるシリコンチップの大部分は、CMOS回路を搭載せず、MEMSリレー用のCMOS-MEMS相互接続用パッド130と適合する接触用電極100、基板90専用であるため、CMOSチップの製造に不必要のコストが発生する。

【0019】リレー機能を集積化する第2のアプローチを、図5に示す。この実施例においては、CMOS-MEMS相互接続用パッド130と接触用電極100と作動電極95とCMOSチップ用の電極を搬送する第3キャリアウエハ140が形成される。集積回路チップ20とMEMSチップ40は、第3キャリアウエハ140上に個別のフリップチップ結合される。第3キャリアウエハ140は、完全なCMOS製造プロセスにより処理されないため、図5の混成回路を形成するコストは比較的安い。

【0020】本発明のMEMSリレー集積化の問題に対する第3のアプローチを図6に示す。この実施例においては、MEMSリレーの電気的接続、接触用電極100と作動電極95を、集積回路チップ20の最上層150内に形成するために、さらに処理ステップがCMOSプロセスに追加される。MEMSチップ40は、集積回路チップ20の上に直接フリップチップ接合される。この実施例は、CMOSプロセスの変更を必要とするために、リレー機能はCMOSチップの性能全体に対し絶対的に必要な場合にのみ考慮すべきである。

【0021】上記に議論したどの実施例が本発明により用いられても、本発明の混成集積回路は、集積回路チップとMEMSリレーとを安価にかつ強固に一体化できる。本発明は、CMOSの表面積をわずかに使用するだけであり、かつ高い帯域のアプリケーションにも有効に用いることができる。本発明のこのような効果は従来技術では達成できなかった。

【図面の簡単な説明】

【図1】MEMSチップとCMOSチップを結合した際に、MEMSチップ上のリレーとの電気的接続を行う対となる電機部品を有するCMOSチップと、MEMSチップ上に形成されたマイクロマシンリレーの展開図。

【図2】フリップチップ接合技術を用いて、CMOSチップと一体化された図1のMEMSマイクロリレーの展開図。

【図3】図1と図2の組立後の混成回路の断面図。

【図4】CMOSチップの別の部分がMEMSリレーを集積するために用いられる、本発明の混成集積回路の展開図。

【図5】MEMSリレーとCMOSチップとを集積するのに用いられた、相互接続ワイヤリングを有するキャリアウエハを表す、本発明の混成集積回路の展開図。

【図6】CMOS層の上に集積されたMEMSリレーと

電氣的通信を行う素子を有する、CMOSチップの最上層を表す本発明の混成集積回路の展開図。

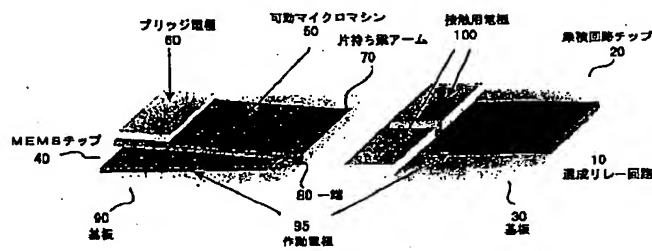
【符号の説明】

- 10 混成リレー回路
- 20 集積回路チップ
- 30 基板
- 40 MEMSチップ
- 50 可動マイクロマシン
- 60 ブリッジ電極
- 70 片持ち梁アーム

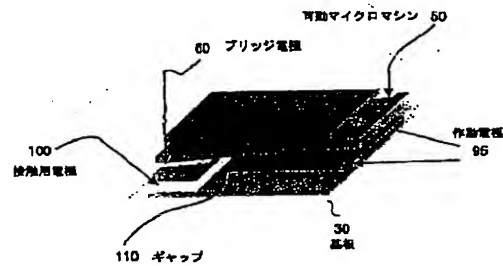
- * 80 一端
- 90 基板
- 95 作動電極
- 100 接触用電極
- 110 ギャップ
- 120 スペース
- 130 CMOS-MEMS相互接続パッド
- 140 第3キャリアウエハ
- 150 最上層

*10

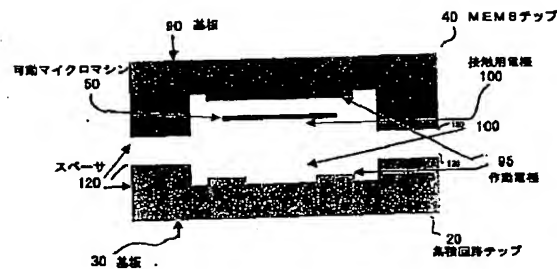
【図1】



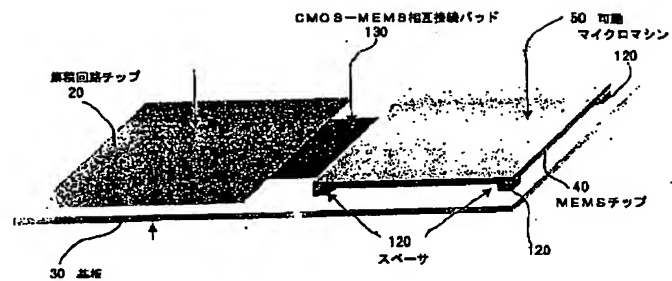
【図2】



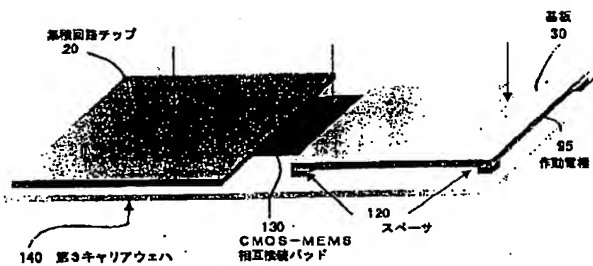
【図3】



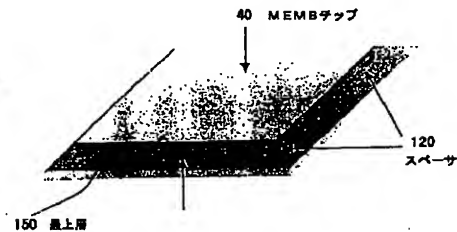
【図4】



【図5】



【図6】



【手続補正書】

【提出日】平成13年2月21日(2001.2.21)

*【補正対象項目名】全図

【補正方法】変更

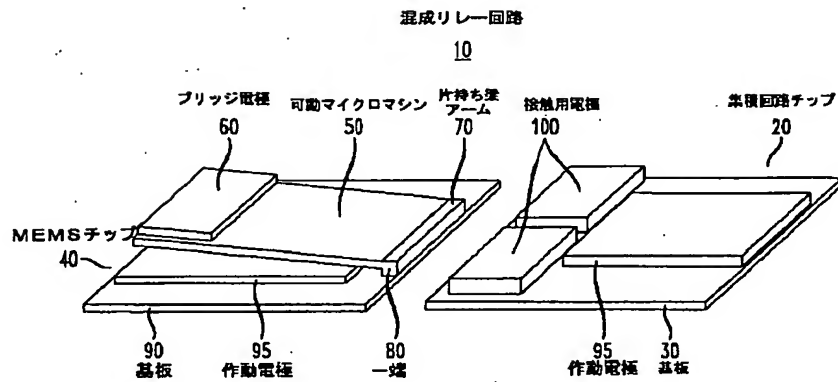
【手続補正1】

【補正内容】

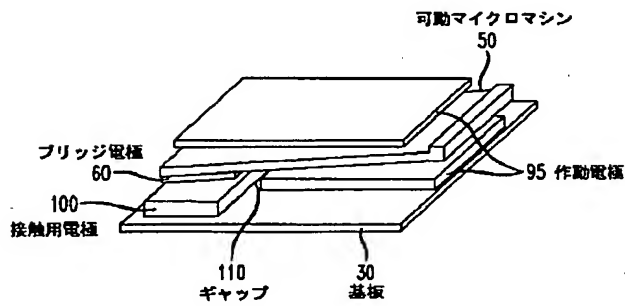
【補正対象書類名】図面

*

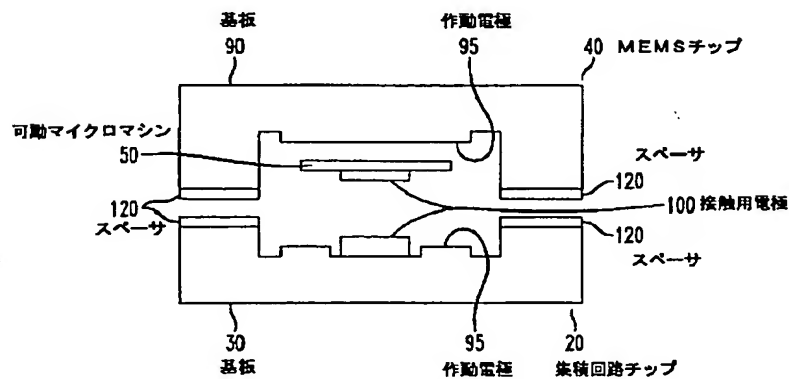
【図1】



【図2】



【図3】



集積回路チップ 20

CMOS-MEMS 相互接続パッド 130

可動 マイクロマシン 50

スペーサ 120

MEMSチップ 40

30 基板

120 スペーサ

MEMSチップ

40

120

120

150 最上層

スペーサ

(71)出願人 596077259
600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636U. S. A.

(72)発明者 デビッド ジョン ビショップ
アメリカ合衆国、07901 ニュージャージー
ー、サミット、オーク ノール ロード
7

(72)発明者 クリスチャン エー ボル
アメリカ合衆国、07060 ニュージャージ
ー、ノース ブレインフィールド、アプト
31 ウエスターベルト アベニュー
114

(72)発明者 ジュンサン キム
アメリカ合衆国、07920 ニュージャージ
ー、バスキング リッジ、モナーク サー
クル 46
(72)発明者 フラビオ バルド
アメリカ合衆国、07974 ニュージャージ
ー、ニュー プロビデンス、コモンウェル
ス アベニュー 44

【外国語明細書】

1. Title of Invention

Flip-Chip Bonded Micro-Relays Integrated On CMOS

2. Claims

Bishop 35-3-3-4

10

1. A hybrid integrated circuit, comprising:

a micro-electromechanical systems (MEMS) chip comprising a MEMS relay having a portion operatively moveable between a first position and a second position to complete an electrical connection to said MEMS relay in one of said first and second positions of the MEMS relay; and

an integrated circuit chip bonded to said MEMS chip to form a unitary structure defining said hybrid integrated circuit, said integrated circuit chip comprising an element located on said integrated circuit chip for electrical contact with said MEMS relay in said one of said first and second positions and so as to be out of electrical contact with said MEMS relay in the other of said first and second positions to thereby complete an electrical connection between said MEMS chip and said integrated circuit chip in said one of said first and second positions when said integrated circuit chip is bonded to said MEMS chip.

2. The hybrid circuit of claim 1, wherein said MEMS chip further comprises a substrate and said relay comprises a micromachined cantilever arm formed on the substrate and actuable by an electrostatic force to displace said arm between said first and second positions for contact of said arm with said element of the integrated circuit chip to establish electrical contact between said arm and element and thereby complete said electrical connection between the integrated circuit chip and the MEMS chip in said one of the first and second positions.

3. The hybrid circuit of claim 2, wherein said cantilever arm comprises a bridge electrode carried on an end of the cantilever arm for electrical contact with said element on the integrated circuit chip.

4. The hybrid circuit of claim 3, wherein said element on the integrated circuit chip comprises a contact electrode.

Bishop 35-3-3-4

11

5. The hybrid circuit of claim 4, further comprising an actuation electrode on the MEMS device substrate for generating the electrostatic force on the cantilever arm to cause said displacement of the cantilever arm between said first and second positions.
6. The hybrid circuit of claim 5, wherein said bond between the integrated circuit chip and the MEMS chip comprises a flip-chip bond.
7. The hybrid circuit of claim 6, wherein said integrated circuit chip comprises a CMOS chip.
8. The hybrid circuit of claim 7, further comprising a plurality of spacers fabricated on the substrate of said MEMS chip for controlling a width of a gap defined between the CMOS integrated circuit chip and the MEMS chip bonded together by said flip-chip bond.
9. The hybrid circuit of claim 1, further comprising an interconnection pad independently joining the integrated circuit chip to the MEMS chip for providing permanent electrical interconnection between the integrated circuit chip and the MEMS chip.
10. The hybrid circuit of claim 1, wherein said MEMS chip is fabricated on a layer of said integrated circuit chip.

3. Detailed Description of Invention

Bishop 35-3-3-4

1

Field of the Invention

The present invention relates to hybrid integrated circuits having micro-electromechanical systems (MEMS) chips bonded to CMOS chips. More specifically,
5 the present invention relates to MEMS relays integrated on CMOS circuitry.

2Description of the Related Art

Mechanical relays play an important role in various electronic systems. Examples of such systems include communication switch equipment for individual phone connections and electronic test equipment wherein functions like "range selection" may
10 be implemented using mechanical relays. Solid state switches that replace mechanical relays and provide electrical connection and isolation using semiconductor materials are widely used in many applications. However, such solid state switches possess relatively low off-state resistance and have limited bandwidth. For applications where such properties are necessary, mechanical relays are therefore still widely used.

15 Although most of the electronic functions of an integrated circuit are typically placed onto a single silicon CMOS chip, the mechanical relay function is still generally carried out using separately-packaged relays off the chip when such functions are necessary. Such an arrangement results in several problems. First, the mechanical relay is the single component that occupies the most space in the total
20 system core hardware. Second, as the integration scale of CMOS circuitry increases, the number of mechanical relays that need to be connected to such a CMOS chip increases. Since the physical space around the CMOS chip is limited, larger-scale integration of additional physical components becomes more difficult, eventually reaching a point of diminishing returns wherein it is simply not possible to add
25 additional parts, such as additional mechanical relays, to the circuit.

Third, the connection between the CMOS chip and the mechanical relays must be designed to accommodate the required bandwidth. For large bandwidth applications,

Bishop 35-3-3-4

2

even when the connection is carefully designed the physical distance between the relay and the chip introduces a time delay in communication between them. Additionally, conventional mechanical relays that are widely used today are bulky and expensive, so that utilizing them in densely packed integrated circuit designs is prohibitive.

- 5 Accordingly, there is a long-felt need in the art for relays that can be used with integrated circuits and that are cost-effective and easily integrable. Such relays should be integrable with the circuitry architecture of the chip and be adaptable for wide bandwidth applications.

Summary Of The Invention

- 10 The present invention provides an article comprising a MEMS chip which includes a micromachined mechanical relay fabricated in a MEMS fabrication process. This MEMS chip is bonded to an integrated circuit where relay action is required, that is, there are connections on this IC chip that need to be established when necessary. Actuation of MEMS relays on the MEMS chip will establish connections in the integrated circuit chips via
15 mechanical action. In a preferred embodiment, the MEMS chip is flip-chip bonded to the integrated circuit chip, although other bonding techniques may be employed.

- The inventive hybrid circuits provide the functionality of a relay on and integrated with an integrated circuit. While it is preferred that the integrated circuit chip be a CMOS integrated circuit chip, any type of integrated circuit chip that can be bonded to a
20 MEMS chip having a micromachined relay in accordance with the invention may utilize the inventive techniques disclosed and claimed herein. As the integration level of the integrated circuits increases, the number of relays that need to be integrated also increases. The conventional methods, where in separate mechanical relays are individually bonded to an integrated circuit, have severe limitations in this respect, since
25 the edge to which relays can be bonded to is limited. Going to a larger number of relays in conventional technology requires a fan-out structure of the electrical interconnects, and thus a time delay in the communication between the integrated circuits and the relays. Such integration bottleneck is absent in the bonded hybrid chip disclosed in the

Bishop 35-3-3-4

3

present invention. Moreover, by using a careful embodiment of the inventive MEMS relays, valuable integrated circuit real estate can be conserved, thereby increasing the efficiency of fabricating hybrid integrated circuits. Additionally, by bonding the integrated circuits to the MEMS chips electrical communication delays between the relays on the MEMS chip and the circuitry on the integrated circuit chip are greatly reduced which allows the hybrid circuits of the present invention to be used in high bandwidth applications.

These and other features of the present invention will become apparent from the following detailed description considered in conjunction with the accompanying drawings. It is to be understood, however, that the drawings are designed solely for purposes of illustration and not as a definition of the limits of the invention, for which reference should be made to the appended claims.

Other objects and features of the present invention will become apparent from the following detailed description considered in conjunction with the accompanying drawings. It is to be understood, however, that the drawings are designed solely for purposes of illustration and not as a definition of the limits of the invention, for which reference should be made to the appended claims. It should be further understood that the drawings are not necessarily drawn to scale and that, unless otherwise indicated, they are merely intended to conceptually illustrate the structures and procedures described herein.

Brief Description Of The Drawings

In the drawings, wherein like reference numerals refer to like elements throughout the several views thereof:

Figure 1 is a schematic, elevated perspective view of a micromachined relay fabricated on an independent MEMS chip, and an associated CMOS chip that carries its counterpart electrical element which is operable to make an electrical connection with the relay on the MEMS chip when the two chips are bonded together,

Bishop 35-3-3-4

4

Figure 2 is schematic, elevated perspective view of the MEMS micro-relay of Figure 1 integrated with the associated CMOS chip using flip-chip bonding techniques;

Figure 3 is cross-sectional view of the hybrid circuit of Figures 1 and 2 after assembly;

5 Figure 4 is a schematic, elevated perspective view of a hybrid integrated circuit of the present invention wherein a separate section of a CMOS chip is used to integrate the MEMS relay;

10 Figure 5 is schematic, elevated perspective view of a hybrid integrated circuit of the present invention wherein a carrier wafer having fabricated interconnect wiring is used to integrate the MEMS relay with a CMOS chip; and

Figure 6 is a schematic, elevated perspective view of a hybrid integrated circuit of the present invention wherein an uppermost layer of a CMOS chip is comprises the elements for electrical communication with the MEMS relay, which is integratable on top of the CMOS layer.

15 Detailed Description Of The Presently Preferred Embodiments

Referring now to the drawings, a hybrid relay circuit of the present invention is shown at 10 in Figures 1, 2 and 3. Circuit 10 may for example comprise a conventional integrated circuit chip 20 that contains the circuit elements to perform the particular functions for which the hybrid circuit 10 is designed. In a preferred
20 embodiment, integrated circuit 20 is a CMOS circuit, but those skilled in the art will appreciate that any type of integrated circuit may be used in hybrid circuit 10. CMOS integrated circuit chip 20 further comprises a substrate 30 which conventionally comprises silicon, but may also comprise other semiconductor materials such as Ge, GaAs, InP and others depending on the particular application intended for the hybrid
25 circuits of the present invention.

In the embodiment of Figures 1, 2 and 3, the MEMS chip 40 comprises a micro-relay that is agreeable as an electrostatically actuated switch. The micro-relay includes a

Bishop 35-3-3-4

5

mobile micromachine 50 that carries an electrical contact pad or bridge electrode 60 movable with the micromachine 50 into electrical contact with an element on CMOS chip 20 to complete the electrical connection between the two chips. Even more preferably, the mobile micromachine 50 comprises a cantilever arm 70 having an end 80 anchored to a substrate 90 of MEMS chip 40. Substrate 90 also conventionally comprises silicon, but ultimately similarly comprise other semiconductor materials depending on the particular applications in which the MEMS devices fabricated thereon will be used. In a preferred form, the bridge electrode 60 has a thickness of from about 0.01 microns to about 10 microns on its top. Still more preferably, the cantilever arm 70 has a width from about 1 micron to about 10,000 microns on each side and a thickness from about 0.01 microns to about 10 microns. For ideal relay operation, where a control circuit for the MEMS device on chip 40 and the main circuitry on chip 20 are electrically isolated, the cantilever arm 70 may comprise an insulator-like silicon dioxide or silicon nitride composition.

Alternately, the cantilever arm 70 may comprise a conductor and the electrical bridge contact or pad 60 may be deposited above an insulating layer (not shown in the Figures) on cantilever arm 70. In such an embodiment, the thickness of the insulating layer will be between about 0.01 microns and about 100 microns.

The CMOS chip 20 further comprises the requisite contact electrodes 100 that will allow the cantilever arm 70 and electrode 60 to complete the electrical connection necessary for the circuit function. Both the MEMS chip 40 and the CMOS chip 30 also comprise actuation electrodes 95 fabricated on their respective substrates 90, 30 and to operatively pull the mobile micromachine cantilever arm 70 and bridge electrode 60 towards the contact electrodes 100 with an electrostatic force created by selectively applying a voltage to the electrodes 95. In this manner, electrical contact can be made between contact electrodes 100 and the bridge electrode 60 so that a robust electrical connection can be effectuated between the contact electrodes 100 to ensure that stable transmission of electrical signals can take place through the contact electrodes 100.

Bishop 35-3-3-4

6

The CMOS chip 20 is fabricated using conventional CMOS fabrication technology, while the MEMS chip 40 is fabricated using a MEMS fabrication process. Alternately, commercial MEMS micro-relays may be used such as those available from Cronos Integrated Microsystems, Inc., of Research Triangle Park,
5 North Carolina.

As will be appreciated, it is necessary to bond the two chips together; however, the MEMS fabrication and CMOS fabrication processes are not generally compatible, so that an independent bonding technique must be applied to achieve chip bonding. The independent bonding technique will result in a bonded hybrid circuit
10 wherein the MEMS chip 40 is bonded to the CMOS chip 20 as shown in Figure 2.

While any suitable bonding technique may be used to bond together the two chips 20, 40, in a preferred embodiment the two chips are bonded using a heat activation technique wherein a heat sensitive adhesive is applied between the two parts to be bonded together, following which heat and pressure applied to the two pieces so
15 that the adhesive can anneal. Upon cooling, a hard, solid seal between the two substrates treated with the adhesive has been created.

When the two substrates 30, 90 are flip-chip bonded together, a spacing or gap 110 between the chips 20, 40 will be formed. That gap and more particularly the spacing between each of the actuation electrodes 95 and the movable portion of the micromachine 50 — is determinative of the correct or appropriate operating voltage
20 for actuating the MEMS relay 50. In a preferred embodiment, the width of gap 110 is between about 0.1 microns and about 100 microns. The gap 110 can be controlled precisely during the flip-chip bonding process by utilizing spacers 120 (shown in Figure 3) of known thickness. Such spacers can be fabricated on either of the
25 substrates 30, 90 using either the MEMS or the CMOS fabrication process, or both. When a voltage is applied between the actuation electrodes 95 and the mobile micromachine 50, the cantilever arm 70 is and moved or attracted towards the CMOS chip 20. In this manner, the bridge electrode 60 the mobile micromachine 50

Bishop 35-3-3-4

7

establishes the electrical connection to the contact electrodes 100 on the CMOS chip 20.

5 It will be appreciated by those skilled in the art that other types of actuation mechanisms other than the cantilever arm 70 shown in Figures 1, 2 and 3 can be fabricated to implement a MEMS relay so long as the electrical connection to the CMOS chip can similarly be established by the flip-chip bonding process. Such electrical connections can be achieved with other MEMS relay devices by utilizing the spacers 120.

10 Independent of how the particular MEMS relay functions, integration of the relay function onto the CMOS chip is a fundamental aspect of the present invention. Figure 4 depicts a preferred embodiment of a hybrid circuit of the invention wherein illustrating the integration. In the embodiment of Figure 4, the electrical interconnection between the CMOS chip 20 and MEMS chip 40 may be laid out during the CMOS fabrication process, in which, a separate CMOS-MEMS
15 interconnection pad 130 is joined from the CMOS chip 20 to the MEMS chip 40, to establish an electrical connection therebetween. MEMS relays 50 are preferably integrated onto part of the CMOS chip 20 by flip-chip bonding, as described above. The contact electrodes 100 and the actuation electrode 95 necessary for completing the relay function are fabricated on CMOS chip at the area underneath where the MEMS
20 chip is flip-chip bonded. This embodiment is relatively simple to implement, but suffers from the fact that the CMOS-MEMS interconnection 130, the contact electrodes 100, and actuation electrodes 95 take up a large space and CMOS real estate can be quite expensive. In this embodiment, a significant portion of the silicon chip that goes through CMOS processing actually does not carry CMOS circuitry but
25 is rather dedicated to the interconnection 130 and mating electrodes 100, 95 for the MEMS relays, thus incurring unnecessary costs in fabrication of the CMOS chip.

A second approach to integrating the relay function is shown in Figure 5. In this embodiment, a third carrier wafer 140 is fabricated, that carries the CMOS-MEMS electrical interconnect 130, the electrical connection pads 100, actuation electrodes 95,

Bishop 35-3-3-4

8

and the mating electrodes for CMOS chip. The CMOS chip 20 and MEMS chip 40 are then independently flip-chip bonded onto carrier wafer 140. Since wafer 140 does not itself proceed through the full CMOS fabrication process, the cost to produce the hybrid circuit of Figure 5 is very low.

5 Yet a third approach to the MEMS relay integration issue of the invention is shown in Figure 6. In this embodiment, processing steps are added in the CMOS process to fabricate the MEMS relay electrical connections 100 and the actuation electrode 95 in the uppermost layers 150 of CMOS chip 20. The MEMS relay chip 40 is then directly flip-chip bonded onto CMOS chip 20, as discussed above. Because this
10 embodiment requires a modification of the CMOS process itself, it should be considered only if the relay functionality is absolutely critical in the total performance of the CMOS chip.

Regardless of which of the embodiments discussed above is utilized in accordance with the present invention, the inventive hybrid integrated circuits effectively
15 integrate a MEMS relay with an integrated circuit chip cost-effectively and robustly. The inventive circuits utilize only a small amount of CMOS real estate and are particularly useful in high bandwidth applications. Such results have not heretofore been achieved in the art.

While there have been shown and described certain novel features of the
20 invention as applied to preferred embodiments thereof, it will be that various omissions and substitutions and changes in the methods and apparatus described herein, and in their operation, may be made by those skilled in the art without departing from the spirit and scope of the invention. It is expressly intended that all combinations of those elements and/or method steps which perform substantially the
25 same function in substantially the same way to achieve the same result are within the scope of the invention. Substitutions of elements from one described embodiment to another are also fully intended and contemplated. It is the intention, therefore, to be limited only as indicated by the scope of the claims appended hereto.

Bishop 35-3-3-4

9

Thus, while there have shown and described and pointed out fundamental novel features of the invention as applied to a preferred embodiment thereof, it will be understood that various omissions and substitutions and changes in the form and details of the devices illustrated, and in their operation, may be made by those skilled in the art without departing from the spirit of the invention. For example, it is expressly intended that all combinations of those elements and/or method steps which perform substantially the same function in substantially the same way to achieve the same results are within the scope of the invention. Moreover, it should be recognized that structures and/or elements and/or method steps shown and/or described in connection with any disclosed form or embodiment of the invention may be incorporated in any other disclosed or described or suggested form or embodiment as a general matter of design choice. It is the intention, therefore, to be limited only as indicated by the scope of the claims appended hereto.

4. Brief Description of Drawings

Written above.

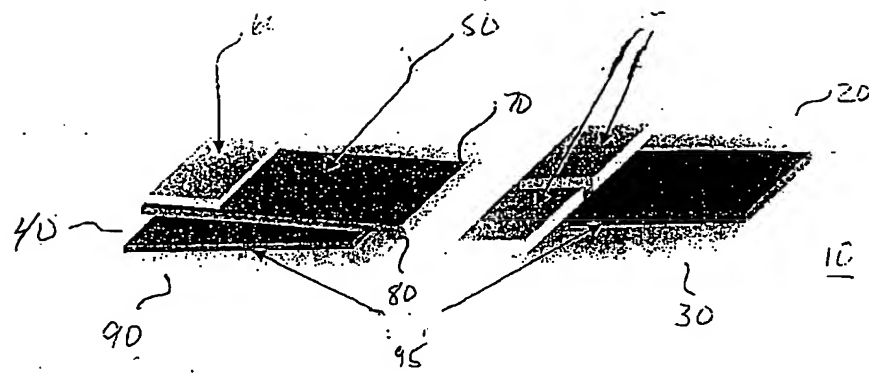


FIG. 1

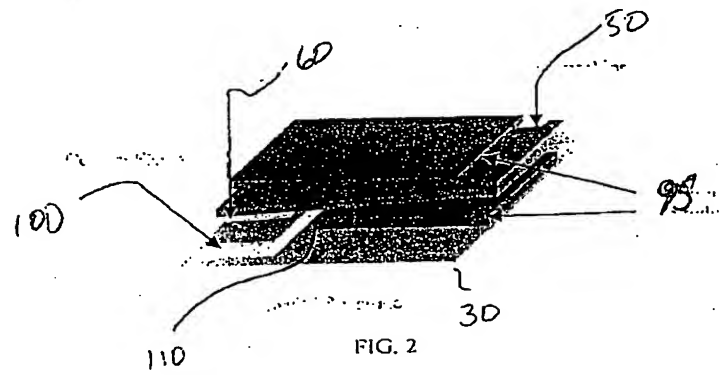


FIG. 2

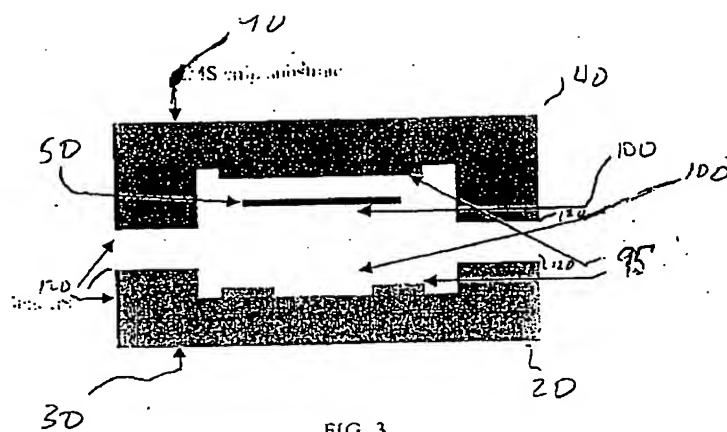


FIG. 3

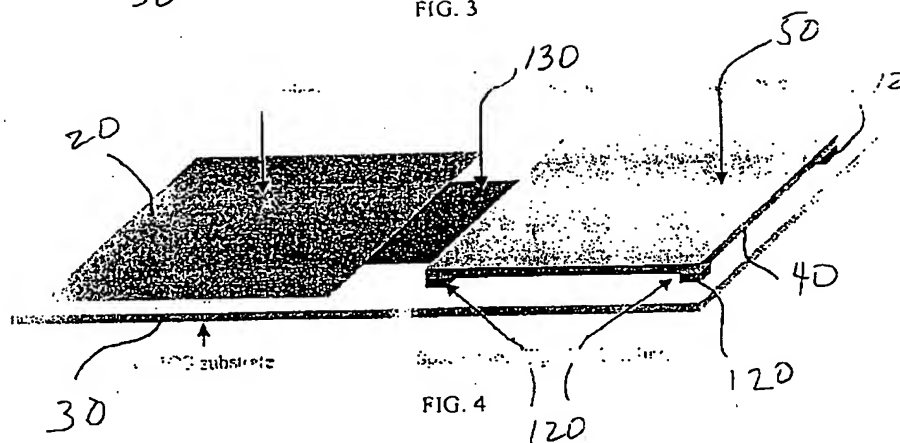
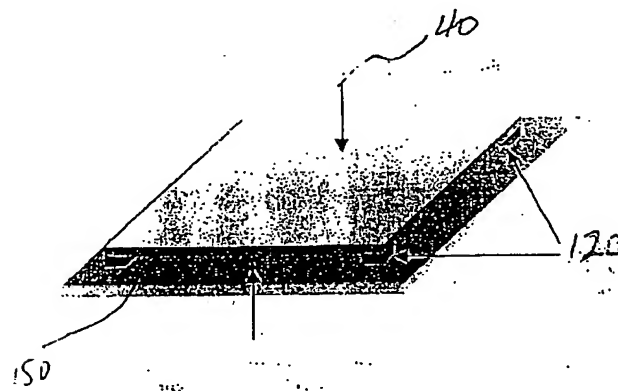
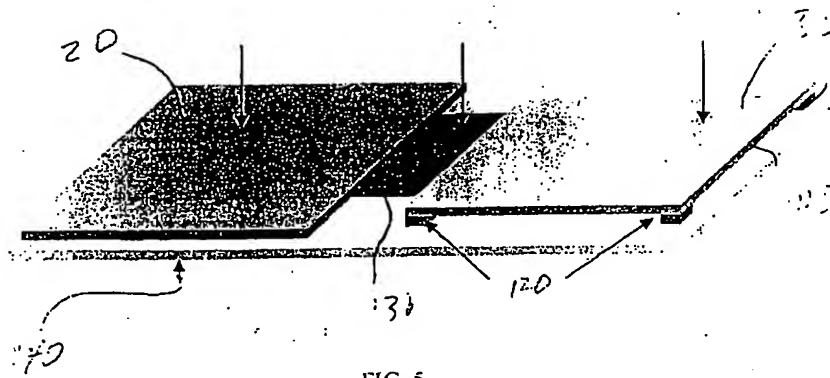


FIG. 4



1 Abstract

Hybrid integrated circuits comprise a micro-electro mechanical systems (MEMS) relay which is flip-chip bonded to a CMOS chip. By bonding the CMOS chip to the
5 MEMS micro-relay, a robust electrical connection is made between the relayed chip for high integrity electrical transmission through the hybrid circuit. Moreover, the electrical signal propagation delays between the CMOS and MEMS chips are greatly reduced to thereby allow the hybrid integrated circuits to be used in high bandwidth applications.

2 Representative Drawing

Figure 1